

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06333941 A**

(43) Date of publication of application: **02.12.94**

(51) Int. Cl. **H01L 21/336**
H01L 29/784

(21) Application number: **05116856**

(22) Date of filing: **19.05.93**

(71) Applicant: **SANYO ELECTRIC CO LTD**

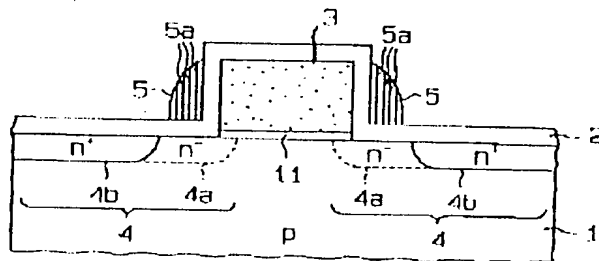
(72) Inventor: **OGASAWARA SATORU**
DAN TORU

(54) **SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE**

(57) Abstract:

PURPOSE: To obtain a desired LDD structure by controlling the area of a low-concentration layer through a less number of processes.

CONSTITUTION: After forming polysilicon side wall spacers 5 on the side walls of a polysilicon gate electrode 3 with silicon oxide films 2 in between, numerous holes 5a are bored through the spacers 5. Then arsenic ions are implanted into a P-type silicon substrate 1 by using the spacers 5 and electrode 3 as masks. At the time of implantation, the RP of the ion implanting energy is appropriately adjusted so that the implanted arsenic ions can be stopped in the spacers 5 where the holes 5a do not exist. As a result, the arsenic ions are implanted only into the silicon substrate 1 at the parts where the holes 5a exist in the spacers 5 and the dose of the ions can be adjusted in accordance with the areas of the parts where the hole 5a exist. Therefore, a low-concentration n⁻-layer 4a and high-concentration n⁺-layer 4b can be formed simultaneously.



COPYRIGHT: (C)1994,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333941

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784		9054-4M	H 0 1 L 29/ 78	3 0 1 L

審査請求 未請求 請求項の数 3 O L (全 7 頁)

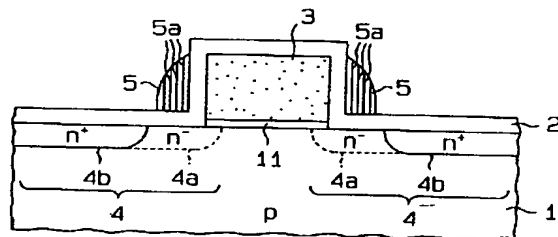
(21) 出願番号	特願平5-116856	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通 2 丁目 5 番 5 号
(22) 出願日	平成 5 年(1993) 5 月 19 日	(72) 発明者	小笠原 悟 大阪府守口市京阪本通 2 丁目 18 番地 三洋 電機株式会社内
		(72) 発明者	壇 徹 大阪府守口市京阪本通 2 丁目 18 番地 三洋 電機株式会社内
		(74) 代理人	弁理士 恩田 博宣

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【目的】 少ない工程数により、低濃度層の領域を制御して所望の LDD 構造を得る。

【構成】 ポリシリコンゲート電極 3 の側壁に、シリコン酸化膜 2 を介してポリシリコンのサイドウォール・スペーサ 5 を形成する。次に、サイドウォール・スペーサ 5 に多数の孔 5 a を形成する。続いて、サイドウォール・スペーサ 5 とポリシリコンゲート電極 3 とをマスクとして、P 型シリコン基板 1 にヒ素をイオン注入する。このとき、イオン注入エネルギーの R F を適宜に調整し、サイドウォール・スペーサ 5 の孔 5 a の無い部分では、注入されたヒ素イオンがサイドウォール・スペーサ 5 中で止まるようにする。これにより、サイドウォール・スペーサ 5 の孔 5 a の部分のシリコン基板 1 にだけヒ素がイオン注入されることになり、孔 5 a の部分の面積に応じてドーズ量を調整することができる。その結果、低濃度の n^- 層 4 a と高濃度の n^+ 層 4 b とを同時に形成することができる。



【特許請求の範囲】

【請求項1】 低濃度ドープドレイン構造の半導体装置において、ゲート電極(3)の側壁に、所定の割合で多数の小孔(5a)が形成されたサイドウォール・スペーサ(5)を設けたことを特徴とする半導体装置。

【請求項2】 半導体基板(1)上にゲート電極(3)を形成する工程と、そのゲート電極(3)の側壁に、適宜な高さのサイドウォール・スペーサ(5)を形成する工程と、そのサイドウォール・スペーサ(5)に、所定の割合で多数の小孔(5a)を形成する工程と、ゲート電極(3)およびサイドウォール・スペーサ(5)をマスクとして、半導体基板に不純物をイオン注入する工程とを備えたことを特徴とする低濃度ドープドレイン構造の半導体装置の製造方法。

【請求項3】 半導体基板上の所定の箇所に適宜な厚さの膜を形成する工程と、その膜に所定の割合で多数の小孔を形成する工程と、その膜をマスクとして、半導体基板に不純物をイオン注入する工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置およびその製造方法に係り、詳しくは、低濃度ドープドレイン(LDD; Lightly Doped Drain)構造のMOSトランジスタの製造方法に関するものである。

【0002】

【従来の技術】 従来、チャネル長が短い微小なMOSトランジスタにおいて、ドレイン部の電界強度が高くなり過ぎるのを抑えるために、LDD構造が提案されている(IEEE Transaction Electron Device Vol. ED-29, 1982)。このLDD構造では、ドレイン近傍に設けた濃度の低い n^- (または p^-)層によってドレイン近傍の電界を緩和することができ、ホットキャリアの発生を抑制することが可能になることから、MOSトランジスタの耐圧改善に有効である。

【0003】 LDD構造の製造方法としては、①広く用いられている通常の方法と、②ディスポーサブル・スペーサを用いた方法(Parrillo 他; IEDM Technology Digest, P. 244, 1986)とが提案されている。以下、NチャネルMOSトランジスタの製造方法を例にとって両者の概略を説明する。

【0004】 ①通常の方法

ゲート電極作成後、低濃度の n^- 層形成のためにリンをイオン注入し、1回目の熱処理を行う。次に、ゲート電極側壁に、シリコン酸化膜やシリコン窒化膜またはポリシリコン(ポリシリコンの場合は絶縁膜を介す)等によるサイドウォール・スペーサを形成する。続いて、当該サイドウォール・スペーサをマスクとして、高濃度の n^+

$^+$ 層形成のためにヒ素(またはアンチモン)をイオン注入し、2回目の熱処理を行う。その後、サイドウォール・スペーサを用いたセルフアライン・コンタクト法により、ドレイン電極およびソース電極を形成する。

【0005】 ②ディスポーサブル・スペーサを用いた方法

ゲート電極作成後、ゲート電極側壁に、シリコン酸化膜やシリコン窒化膜またはポリシリコン(ポリシリコンの場合は絶縁膜を介す)等によるサイドウォール・スペーサを形成する。次に、当該サイドウォール・スペーサをマスクとして、高濃度の n^+ 層形成のためにヒ素(またはアンチモン)をイオン注入し、1回目の熱処理を行う。続いて、サイドウォール・スペーサを除去する。そして、低濃度の n^- 層形成のためにリンをイオン注入し、2回目の熱処理を行う。その後、ゲート電極側壁に再びサイドウォール・スペーサを形成し、当該サイドウォール・スペーサを用いたセルフアライン・コンタクト法により、ドレイン電極およびソース電極を形成する。

【0006】

【発明が解決しようとする課題】 ところが、①の通常の方法では、1回目の熱処理によって所定の領域まで拡散した n^- 層に対しても、 n^+ 層形成のための2回目の熱処理が行われる。その結果、二度に渡る熱履歴のために、 n^- 層が所定の領域以上に拡散し過ぎることになり、ショートチャネル効果が大きくなってしまおうという問題があった。

【0007】 一方、②のディスポーサブル・スペーサを用いた方法では、 n^+ 層形成後に n^- 層を形成するため、 n^- 層は一度しか熱履歴を受けない。そのため、 n^- 層を正確に所定の領域まで拡散させることが可能になり、ショートチャネル効果を小さくすることができる。しかしながら、②のディスポーサブル・スペーサを用いた方法では、サイドウォール・スペーサを一旦除去した後再び形成しなければならず、工程数が増えるという問題があった。

【0008】 ところで、近年、LDD構造以外でも、半導体基板上の不純物プロファイルを緩やかにすることが求められている。その場合も、上記①または②のLDD構造の製造方法と同様の方法が用いられているため、同じ問題を抱えていた。

【0009】 本発明は上記問題点を解決するためになされたものであって、第1の発明の目的は、少ない工程数により、低濃度層の領域を制御して所望のLDD構造を得ることができる半導体装置を提供することにある。また、第2の発明の目的は、少ない工程数により、低濃度層の領域を制御して所望のLDD構造を得ることができる半導体装置の製造方法を提供することにある。また、第3の発明の目的は、少ない工程数により、半導体基板上の不純物プロファイルを緩やかにすることができる半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】請求項1記載の発明は、低濃度ドープドレイン構造の半導体装置において、ゲート電極の側壁に、所定の割合で多数の小孔が形成されたサイドウォール・スペーサを設けたことをその要旨とする。

【0011】また、請求項2記載の発明は、低濃度ドープドレイン構造の半導体装置の製造方法において、半導体基板上にゲート電極を形成する工程と、そのゲート電極の側壁に、適宜な高さのサイドウォール・スペーサを形成する工程と、そのサイドウォール・スペーサに、所定の割合で多数の小孔を形成する工程と、ゲート電極およびサイドウォール・スペーサをマスクとして、半導体基板に不純物をイオン注入する工程とを備えたことをその要旨とする。

【0012】また、請求項3記載の発明は、半導体基板上の所定の箇所に適宜な厚さの膜を形成する工程と、その膜に所定の割合で多数の小孔を形成する工程と、その膜をマスクとして、半導体基板に不純物をイオン注入する工程とを備えたことをその要旨とする。

【0013】

【作用】請求項1および請求項2記載の発明では、サイドウォール・スペーサの高さに対し、不純物のイオン注入エネルギーのプロジェクト・レンジの方が低くなるようにする。これにより、サイドウォール・スペーサ5の孔の無い部分では、注入された不純物イオンがサイドウォール・スペーサ中で止まることになる。一方、サイドウォール・スペーサの孔の部分では、注入された不純物イオンが半導体基板中に注入されることになる。その結果、サイドウォール・スペーサの下半導体基板には、不純物濃度が低い層が形成される。一方、半導体基板のサイドウォール・スペーサの無い部分には、不純物濃度が高い層が形成される。従って、1回のイオン注入により、低濃度層と高濃度層とを同時に形成することができる。また、サイドウォール・スペーサの面積に対する孔の部分の面積の割合を調整することにより、低濃度層の領域を正確に制御することができる。すなわち、少ない工程数により、低濃度層の領域を制御して所望のLDD構造を得ることができる。また、請求項3記載の発明では、前記膜の高さに対し、不純物のイオン注入エネルギーのプロジェクト・レンジの方が低くなるようにする。これにより、膜の孔の無い部分では、注入された不純物イオンが膜の中で止まることになる。一方、膜の孔の部分では、注入された不純物イオンが半導体基板中に注入されることになる。その結果、半導体基板の膜が形成されている部分には、不純物濃度が低い層が形成される。一方、半導体基板の膜が形成されていない部分には、不純物濃度が高い層が形成される。従って、1回のイオン注入により、低濃度層と高濃度層とを同時に形成することができる。また、膜の面積に対する孔の部分の面積の

割合を調整することにより、低濃度層の領域を正確に制御することができる。すなわち、少ない工程数により、半導体基板上の不純物プロファイルを緩やかにすることができる。

【0014】

【実施例】以下、本発明をLDD構造のNチャネルMOSトランジスタに具体化した一実施例を図面に従って説明する。

【0015】図1は、本実施例の断面図である。P型単結晶シリコン基板1上には、LDD構造のNチャネルMOSトランジスタが形成されている。すなわち、シリコン基板1上には、ゲート酸化膜11を介してポリシリコンゲート電極3が形成されている。また、シリコン基板1の表面には、ポリシリコンゲート電極3を挟むように、ドレイン領域またはソース領域4が形成されている。そして、ポリシリコンゲート電極3の側壁には、シリコン酸化膜2を介してポリシリコンのサイドウォール・スペーサ5が形成されている。このサイドウォール・スペーサ5には、シリコン基板1に対して垂直方向に多数の孔5aが形成され蜂の巣状を呈している。サイドウォール・スペーサ5の表面積に対する孔5aの部分の面積比は、約 $1/100 \sim 1/10$ になっている。ここで、サイドウォール・スペーサ5の直下とその近傍のドレイン領域4は、低濃度の n^- 層4a（ドーズ量；約 $1 \times 10^{14} \text{cm}^{-2}$ ）から成っている。一方、サイドウォール・スペーサ5から離れた部分のドレイン領域4は、高濃度の n^+ 層4b（ドーズ量；約 $5 \times 10^{15} \text{cm}^{-2}$ ）から成っている。

【0016】次に、このように構成されたLDD構造のNチャネルMOSトランジスタの製造工程を順を追って説明する。

工程1（図2参照）：P型単結晶シリコン基板1上に、素子分離領域およびしきい値電圧を制御するためのチャネル注入を行う（図示略）。そして、シリコン基板1の表面にゲート酸化膜11を形成する。このゲート酸化膜11の形成にはどのような方法（酸化法、CVD法、PVD法など）を用いてもよい。

【0017】工程2（図3参照）：ゲート酸化膜11の上にポリシリコン膜12を形成する。このポリシリコン膜12の形成にはどのような方法（CVD法、PVD法など）を用いてもよい。

【0018】工程3（図4参照）：ポリシリコン膜12およびゲート酸化膜11をエッチングし、適宜な高さ（例えば、約2500Å）のポリシリコンゲート電極3を形成する。

【0019】工程4（図5参照）：シリコン基板1およびポリシリコンゲート電極3の上に適宜な厚さ（例えば、約200Å）のシリコン酸化膜2を形成する。このシリコン酸化膜2の形成にはどのような方法（酸化法、CVD法、PVD法など）を用いてもよい。

【0020】工程5（図6参照）：シリコン酸化膜2の上にポリシリコン膜13を形成する。このポリシリコン膜13の形成にはどのような方法（CVD法、PVD法など）を用いてもよい。

【0021】工程6（図7参照）：異方性エッチングにより、ポリシリコンゲート電極3の側壁のポリシリコン膜13だけを残す。残ったポリシリコン膜13がサイドウォール・スペーサ5になる。

【0022】工程7（図8参照）：サイドウォール・スペーサ5に多数の孔5aを形成する。この孔5aの形成方法には以下の2つの方法がある。

〔1〕孔5aの形成方法（その1）

反応性イオンエッチング（RIE）装置を用い、ガス種およびガス流量比； $\text{CCl}_4/\text{O}_2 = 100/20$ 、電力密度； 0.24 W/cm^2 、圧力； 13 Pa の条件により、サイドウォール・スペーサ5を異方性エッチングする。このエッチング条件では、シリコンとシリコン酸化膜の選択比（ Si/SiO_2 ）が100以上になる。

【0023】この異方性エッチング時には、プラズマ中に生成した二酸化シリコンの微粒子がサイドウォール・スペーサ5の表面に付着する。それと同時に、サイドウォール・スペーサ5の表面が斑状に酸化される。その結果、サイドウォール・スペーサ5の表面にはシリコン酸化膜が形成されるが、そのシリコン酸化膜には多数の孔が形成されている。そのサイドウォール・スペーサ5の表面のシリコン酸化膜がマスクとして作用し、サイドウォール・スペーサ5が異方性エッチングされて多数の孔5aが形成される。ここで、孔5aの形成について見方を変えれば、サイドウォール・スペーサ5が異方性エッチングされて柱状の残渣だけが残されるともいえる。

【0024】このとき、エッチング時間を調整することにより、サイドウォール・スペーサ5の表面積に対する孔5aの部分の面積比を、約 $1/100 \sim 1/10$ にする。尚、この反応性イオンエッチング装置によってポリシリコンのサイドウォール・スペーサ5に孔5aを形成する方法は公知である（Kure 他；Process of 1st Dry Process Symposium, P.31, 1979）。

【0025】〔2〕孔5aの形成方法（その2）

工程①：サイドウォール・スペーサ5の形成後、サイドウォール・スペーサ5とシリコン基板1とポリシリコンゲート電極3とを酸化する。これにより、サイドウォール・スペーサ5の表面に約 100 \AA のシリコン酸化膜を形成する。ここで、シリコン基板1およびポリシリコンゲート電極3の表面には既に約 200 \AA のシリコン酸化膜2が形成されているため、酸化により、シリコン酸化膜2の膜厚は約 270 \AA になる。

【0026】工程②：低圧CVD装置を用い、原料；ジシランガス、温度； 500°C 、圧力； 0.25 Torr の条件により、サイドウォール・スペーサ5およびシリコン酸化膜2の表面に、アモルファスシリコン膜を形成

する。次に、熱処理（ 610°C 、1時間）を行い、アモルファスシリコン膜をHSG（Hemispherical Grain）シリコンにする。このとき、低圧CVDの処理時間を調整することにより、サイドウォール・スペーサ5の表面積に対するHSGシリコンの面積比を、約 $99/100 \sim 9/10$ にする。

【0027】工程③：反応性イオンエッチング装置を用い、ガス種およびガス流量比； $\text{CHF}_3/\text{CF}_4/\text{Ar} = 20/20/400$ 、電力密度； 1.7 W/cm^2 、圧力； 250 mTorr の条件により、工程②のHSGシリコンをマスクとしてサイドウォール・スペーサ5上のシリコン酸化膜を異方性エッチングする。

【0028】工程④：反応性イオンエッチング装置を用い、ガス種およびガス流量比； $\text{HBr}/\text{Cl}_2/\text{O}_2 = 25/35/4$ 、電力密度； 1.4 W/cm^2 、圧力； 100 mTorr の条件により、工程③でサイドウォール・スペーサ5上に残ったシリコン酸化膜をマスクとして、サイドウォール・スペーサ5を異方性エッチングし、多数の孔5aを形成する。このエッチング条件では、単結晶シリコンとシリコン酸化膜の選択比（ Si/SiO_2 ）が約30になる。また、サイドウォール・スペーサ5の表面積に対する孔5aの部分の面積比は約 $1/100 \sim 1/10$ になる（工程②において、サイドウォール・スペーサ5の表面積に対するHSGシリコンの面積比を約 $99/100 \sim 9/10$ にしてあるため）。

【0029】この工程③および工程④のエッチングにより、シリコン酸化膜2もエッチングされることになるが、シリコン酸化膜2の膜厚が十分に厚いため（工程①において、シリコン酸化膜2の膜厚を約 270 \AA にしてある）、シリコン基板1やポリシリコンゲート電極3がエッチングされることはない。

【0030】尚、このHSGシリコンを用いてポリシリコンのサイドウォール・スペーサ5に孔5aを形成する方法は公知である（J. H. Ahn, Y. W. Park 他；1992 Symposium VLSI Technology Digest of Technical Papers, P. 12, 1992）。

【0031】ところで、この孔5aの形成方法（その2）は、前記〔1〕孔5aの形成方法（その1）に比べて工程数が多いという欠点をもつ反面、制御性に優れるという利点をもっている。

【0032】工程8（図9参照）：注入エネルギー； 60 KeV 、ドーズ量；約 $5 \times 10^{15}\text{ cm}^{-2}$ の条件により、多数の孔5aが形成されたサイドウォール・スペーサ5とポリシリコンゲート電極3とシリコン酸化膜2とをマスクとして、シリコン基板1にヒ素をイオン注入する。

【0033】このとき、シリコン基板1へのヒ素イオンの注入エネルギーのプロジェクト・レンジ（RP）は、計算上 374 \AA になる。ここで、サイドウォール・スペーサ5の高さは、そのヒ素イオンの注入エネルギーのRPよりも十分に高い。そのため、サイドウォール・スペー

ーサ5の孔5aの無い部分では、注入されたヒ素イオンがサイドウォール・スペーサ5中で止まることになる。一方、サイドウォール・スペーサ5の孔5aの部分では、注入されたヒ素イオンがシリコン酸化膜2を介してシリコン基板1中に注入されることになる。

【0034】その結果、サイドウォール・スペーサ5の下のシリコン基板1には、ドーザ量；約 $1 \times 10^{14} \text{cm}^{-2}$ のヒ素イオンが注入され、低濃度の n^- 層4aが形成される。一方、シリコン基板1のサイドウォール・スペーサ5の無い部分（シリコン酸化膜2が露出している部分）には、ドーザ量；約 $5 \times 10^{15} \text{cm}^{-2}$ のヒ素イオンが注入され、高濃度の n^+ 層4bが形成される。

【0035】続いて、熱処理を行って、 n^- 層4aおよび n^+ 層4bを活性化させる。これにより、図1に示すように、LDD構造のNチャネルMOSトランジスタが形成される。その後、サイドウォール・スペーサ5を用いたセルフアライン・コンタクト法により、ドレイン電極およびソース電極を形成する。

【0036】以上の製造工程を要約すると、まず、ポリシリコンゲート電極3の側壁に、シリコン酸化膜2を介してポリシリコンのサイドウォール・スペーサ5を形成する。次に、サイドウォール・スペーサ5に多数の孔5aを形成する。続いて、多数の孔5aが形成されたサイドウォール・スペーサ5とポリシリコンゲート電極3とをマスクとして、シリコン基板1にヒ素をイオン注入する。このとき、イオン注入エネルギーのRPを適宜に調整し、サイドウォール・スペーサ5の孔5aの無い部分では、注入されたヒ素イオンがサイドウォール・スペーサ5中で止まるようにする。

【0037】これにより、サイドウォール・スペーサ5の孔5aの部分のシリコン基板1にだけヒ素がイオン注入されることになり、孔5aの部分の面積に応じてドーザ量を調整することができる。その結果、低濃度の n^- 層4aと高濃度の n^+ 層4bとを同時に形成することができる。そのため、1回の熱処理によって、 n^- 層4aおよび n^+ 層4bを一度に活性化させることができる。

【0038】すなわち、本実施例では、イオン注入と熱処理とをそれぞれ1回ずつ行うだけで、LDD構造のNチャネルMOSトランジスタを製造することができる。前記①または②の従来例と本実施例との違いを、図10に従って説明する。

【0039】前記①通常の方法では、工程数は少ないものの、 n^- 層に対しても2回の熱処理を行うために n^- 層が所定の領域以上に拡散し過ぎることになり、 n^- 層の領域の制御性が悪く、所望のLDD構造を得ることが難しかった。

【0040】一方、前記②ディスプレイ・スペーサを用いた方法では、 n^- 層に対して1回しか熱処理を行わないため、 n^- 層の領域の制御性が良く、所望のLDD構造を得ることができる。しかしながら、前記したよ

うに、サイドウォール・スペーサを一旦除去した後に再び形成しなければならず、工程数が増えるという問題があった。

【0041】それに対して、本実施例では、 n^- 層4aに対して1回しか熱処理を行わないため、 n^- 層4aの領域の制御性が良く、所望のLDD構造を得ることができる。加えて、本実施例では、サイドウォール・スペーサ5を一旦除去した後に再び形成するという工程がない上に、イオン注入と熱処理とをそれぞれ1回ずつ行うだけであるため、前記①または②の方法に比べ、工程数を少なくすることができる。

【0042】ちなみに、本発明は上記実施例に限定されるものではなく、以下のように実施してもよい。

1) LDD構造のPチャネルMOSトランジスタについても、上記実施例と同様に製造する。その場合は、P型単結晶シリコン基板1をN型単結晶シリコン基板またはNウェル層に、ヒ素イオンをホウ素イオンにそれぞれ置き換え、他の工程は上記実施例と同じにする。これにより、N型単結晶シリコン基板上に低濃度の p^- 層と高濃度の p^+ 層とを同時に形成することができる。

【0043】2) LDD構造以外で、半導体基板上の不純物プロファイルを緩やかにする際に利用する。

3) 前記〔2〕孔5aの形成方法（その2）の工程②（HSGシリコンの形成工程）を、以下の工程に置き換える。

【0044】すなわち、低圧CVD装置を用い、原料；ヘリウム希釈20%シランガス、温度； 550°C 、圧力；1 Torr の条件により、サイドウォール・スペーサ5およびシリコン酸化膜2の表面に、HSGシリコンを形成する。この方法では、HSGシリコンを直接形成することができるが、温度制御を正確に行う必要がある。尚、この方法については、（株）プレスジャーナル発行「92最新半導体プロセス技術、P.71、寺田、笠井他；COB構造とHSGシリコン蓄積電極」に詳しい。

【0045】4) 工程8において、注入するヒ素イオンをアンチモンイオンに置き換える。

5) サイドウォール・スペーサ5を、シリコンとのエッチング選択比が高い適宜な材質の膜（例えば、シリコン酸化膜やシリコン窒化膜など）によって形成する（すなわち、ポリシリコン膜13を当該適宜な材質の膜に置き換える）。その場合も、サイドウォール・スペーサ5には、上記実施例と同様にして、孔5aを形成する。尚、サイドウォール・スペーサ5をシリコン酸化膜やシリコン窒化膜などの絶縁膜によって形成した場合には、シリコン酸化膜2を省くことができる。

【0046】6) ポリシリコンゲート電極3を、シリサイドや金属のゲート電極に置き換える。

【0047】

【発明の効果】以上詳述したように本発明によれば、少ない工程数により、低濃度層の領域を制御して所望のL

DD構造を得ることができるという優れた効果がある。また、少ない工程数により、半導体基板上の不純物プロファイルを緩やかにすることができるという優れた効果がある。

【図面の簡単な説明】

【図1】本発明をLDD構造のNチャネルMOSトランジスタに具体化した一実施例の断面図である。

【図2】一実施例の製造工程を説明するための断面図である。

【図3】一実施例の製造工程を説明するための断面図である。

【図4】一実施例の製造工程を説明するための断面図である。

【図5】一実施例の製造工程を説明するための断面図である。

【図6】一実施例の製造工程を説明するための断面図である。

【図7】一実施例の製造工程を説明するための断面図である。

【図8】一実施例の製造工程を説明するための断面図である。

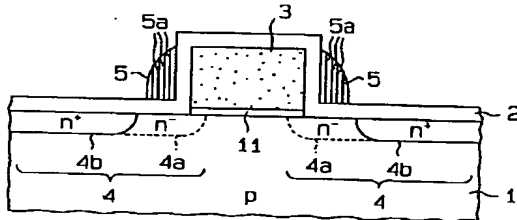
【図9】一実施例の製造工程を説明するための断面図である。

【図10】一実施例と従来例との違いを示した図表である。

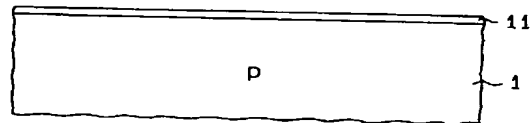
【符号の説明】

- 1 P型単結晶シリコン基板
- 3 ポリシリコンゲート電極
- 5 サイドウォール・スペーサ
- 5a 孔

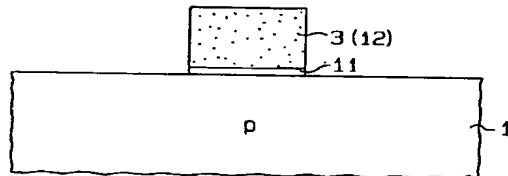
【図1】



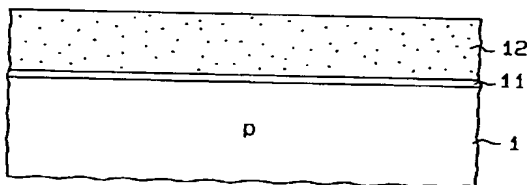
【図2】



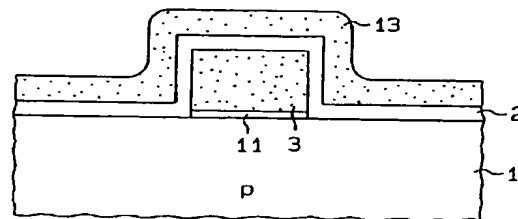
【図4】



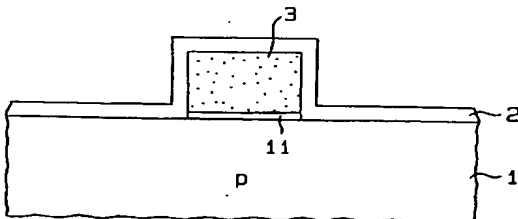
【図3】



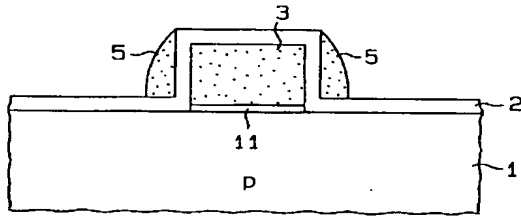
【図6】



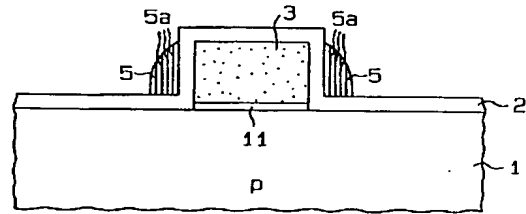
【図5】



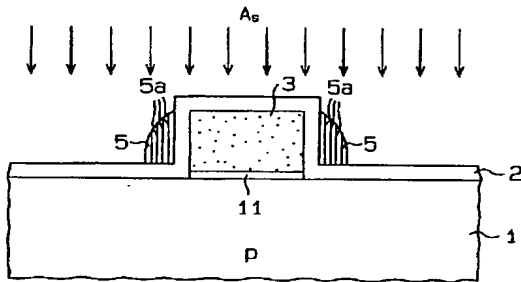
【図7】



【図8】



【図9】



【図10】

	① 通常の方法	② ディスボーマル・スペースを用いた方法	本実施例
熱処理	×	○	◎
工程数	○	×	◎

THIS PAGE BLANK (USTPSTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)